SiC MOSFET 并联的关键技术

来源：意法半导体

基于多个高功率应用案例，我们可以观察到功率模块与分立 MOSFET 并存的明显趋势，两者在 10kW 至 50kW 功率范围内存在显著重叠。虽然模块更适合这个区间，但分立 MOSFET 却能带来独特优势：设计自由度更高和更丰富的产品组合。当单个 MOSFET 无法满足功率需求时，再并联一颗 MOSFET 即可解决问题。

然而，功率并非是选用并联 MOSFET 的唯一原因。正如本文所提到的，并联还可以降低开关能耗，改善导热性能。考虑到热效应对导通损耗的影响，并联功率开关管是降低损耗、改善散热性能和提高输出功率的有效办法。然而，并非所有器件都适合并联， 因为参数差异会影响均流特性。本文将深入探讨该问题，并展示 ST 第三代 SiC MOSFET 如何完美适配并联应用。

分立 MOSFET 和功率模块

分立器件采用单管封装形式（每个封装仅含单个 MOSFET 或二极管），可灵活选择通孔插装（THT）或表面贴装（SMD）封装。这种形式对拓扑设计和混合封装应用没有任何限制。

功率模块则截然不同：其内部器件按特定拓扑（如全桥）集成，一旦封装完成，既无法修改拓扑也不能调整器件参数。因此在原型设计阶段，工程师需要投入更多精力进行仿真验证，而使用分立器件时能直接进行实物测试。

功率模块有两大优点：

- 功率耗散：功率模块的横截面结构通常包括散热基板、陶瓷电气绝缘层以及铜平面走线，硅或碳化硅芯片（如 MOSFET）通过烧结工艺直接连接在铜走线上。这种设计在散热方面具有显著优势：散热基板可直接与散热器接触，无需额外电气绝缘，两者之间仅需导热界面材料（TIM，如导热硅脂）即可实现高效热传导。
- 模块的另一大优势在于缩短换流回路，这一点虽比散热设计更复杂，但效果极为关键，能有效降低寄生参数。走线本身具有电阻和电感，长度越长，寄生效应越严重：电阻会因流经的 RMS 电流产生不可忽视的导通损耗；电感则会在电流变化时引发电压过冲，开关速度越快，电压尖峰越高，甚至可能损坏器件。

在以下方面，分立器件难以与模块相比：

- 散热设计：分立器件的散热基板通常不绝缘且与 MOSFET 漏极相连，因此导热界面材料需同时满足绝缘和导热需求。
- 走线长度：分立器件芯片间的走线长度较长。电流通过键合线流至封装引线，然后流至 PCB，再返回。

在模块中，器件并联非常简单：两颗芯片并列安装，其余节点通过短键合线连接。走线更短且热耦合性能更优。

分立器件之间的热耦合性能不如模块好。热量从芯片到封装，再通过导热界面材料 (TIM) 到达散热器，再到其他 MOSFET。每种介质以及它们之间的每次转换都会产生热阻，导致温度梯度。

并联分立 MOSFET 的动机

尽管存在上述局限，分立 MOSFET 并联仍具备不可替代的优势：设计灵活性、参数可扩展性、供应链冗余以及原型验证便捷性。此外，并联本身还能带来以下物理层面的优化：

热阻与封装散热面积成反比。若将损耗均分至两个相同器件，总散热面积翻倍，单个封装的热耗减半，从而使结到散热器的热阻降低一半，器件实际温度更接近散热器温度。

MOSFET 损耗主要包含导通损耗和开关损耗。 导通损耗由沟道导通电阻（RDSon）引起，并联 N 个相同 MOSFET 可使总 RDSon 降至 1/N。

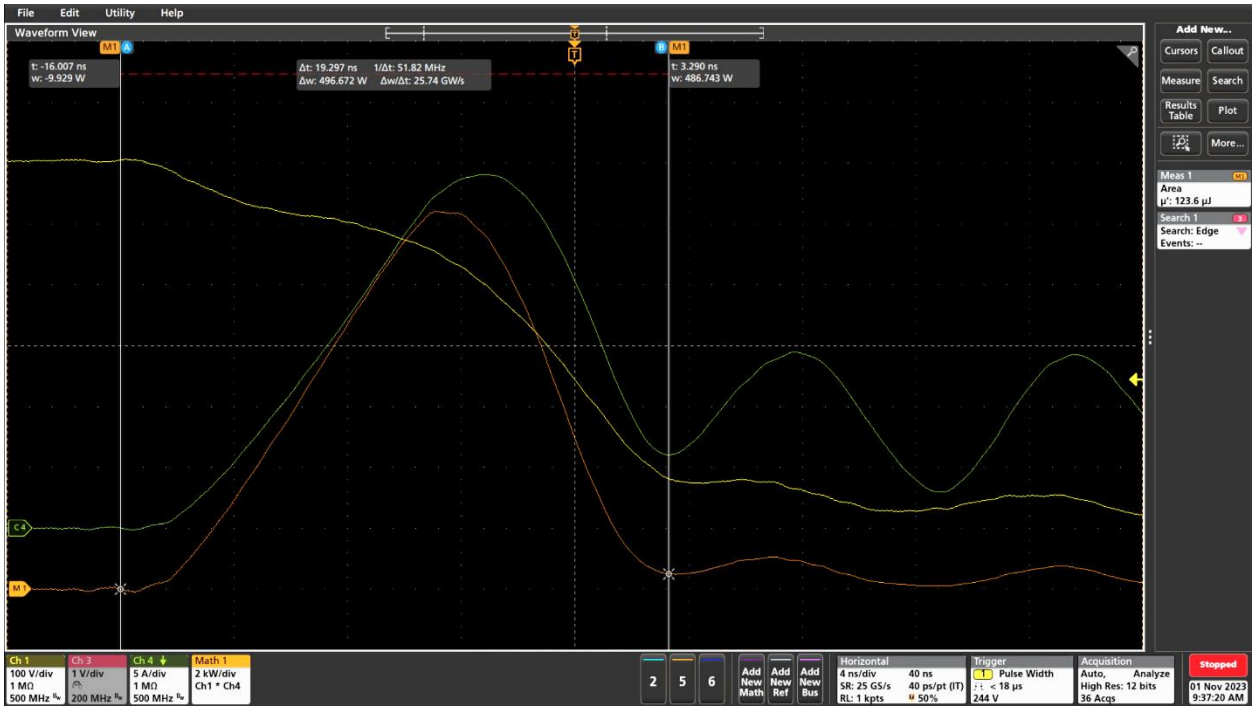

图 1 导通示例：Ch1 漏极-源极电压、Ch4 漏极电流，Math 耗散功率

开关损耗源于开关过程中电压与电流的重叠（图 1）。尽管瞬态时间极短，但高压大电流下峰值功率非常显著。通过对功率随时间进行积分（曲线下方的区域）可得到特定条件下的开通能量和关断能量，将二者乘以开关频率（若条件变化则累加 1 秒内的所有能量），即可计算出开关损耗。

给定条件是值得注意的地方，因为开关能量很大程度上取决于几种参数：瞬态时间、电压、电流和温度。关于并联方案，在开关能量的电流函数中隐藏着一些优势。（图 2）

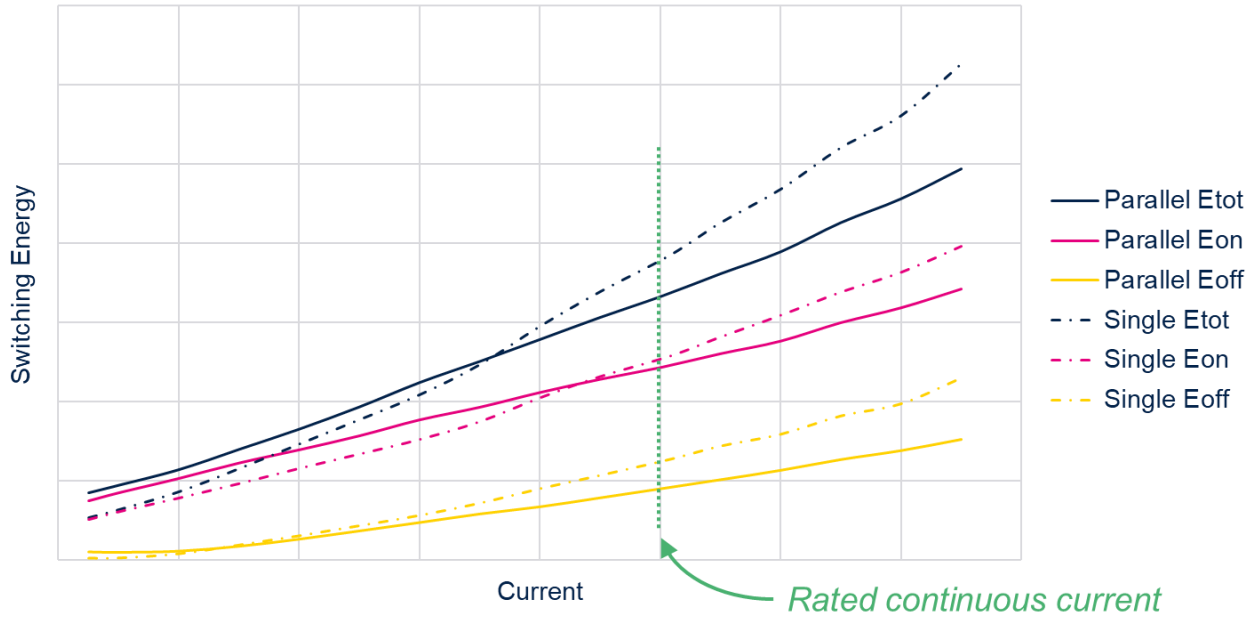

Figure 1 Example of switching energies: single MOSFET and two in parallel
图2 开关能量示例：单个MOSFET 和两个 MOSFET 并联

开关能量的变化曲线不是线性的，略呈指数趋势。因此，电流加倍会导致能量增加超过两倍。并联时，结果正好相反：如果将电流均分到两个相同的器件，总开关能量会比单个器件单独开关时更低。

如果我们将功率模块中的一个 MOSFET 与两个分立 MOSFET 进行比较，则该模块将处于劣势：

对比功率模块中的单个 MOSFET 与分立形式的两个 MOSFET，模块反而处于劣势：

- 散热路径：由于模块结构不同，散热路径难以比较，但是，分立器件通过更大散热面积可弥补结构劣势，甚至超越模块性能。
- 导通损耗和开关损耗：分立 MOSFET 并联的导通损耗是功率模块的二分之一，开关能量损耗显著降低，因此，并联分立 MOSFET 在损耗方面优势非常明显。

这说明，在所述功率范围内，分立器件并联与模块方案存在性能重叠。使用更多的相同规格的器件可以提高功率，而并联时选择更高导通电阻而成本更低的器件，仍有可能在相同功率下与模块方案竞争。

热失控——优势背后的隐患

MOSFET 的导通电阻（RDSon）并非静态参数，其数值随电流变化，且受温度影响更为显著。在当前功率范围内，碳化硅（SiC）MOSFET 已成为主流选择，其 RDSon 温度特性远优于硅基 MOSFET。

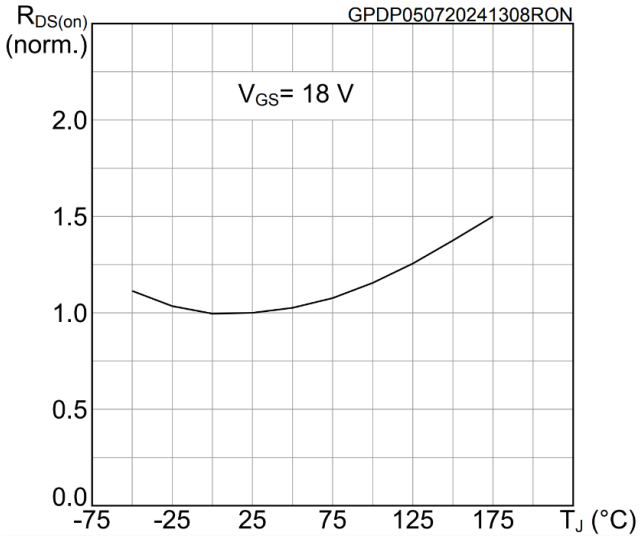

图 3： SCT011HU75G3AG 的导通电阻对温度归一化曲线

以 ST 最新一代 HU3PAK 封装（顶面散热）的 SCT011HU75G3AG 为例（图 3），导通电阻 RDSon 非常低，是并联设计的理想选择。

然而，从 25°C 至 175°C 其导通电阻 Rdson 仅上升约 50%，与标准硅基 MOSFET 相比，这一增幅明显更低，传统硅基 MOSFET 在 150°C（而非 175℃，这是其绝对最高额定温度）时 RDSon 增幅可达 200%。

平坦的导通电阻（RDS(on)）温度曲线是理想设计特性，能使导通损耗随温度变化保持稳定。然而，当损耗上升时，存在热失控风险：损耗增加导致温度升高，进而进一步加剧损耗。这种正反馈效应曾是硅基 MOSFET 的难题，但对碳化硅（SiC）器件通常可忽略——除非采用并联配置。

为何存在这种差异？关键在于参数离散性，尤其是导通电阻 RDS(on)。以型号 SCT011HU75G3AG 为例，其标称 RDS(on)为 11.4 mΩ，但实际可能高达 15 mΩ。虽然同一批次中出现如此大偏差的概率较低，但我们仍以此极端情况分析：15 mΩ比 11.4 mΩ高出 32%，意味着在相同电压下该器件承载的电流将减少 32%。因此，11.4 mΩ的 MOSFET 会产生约 32%的额外损耗并更易发热。若 RDS(on)随温度上升的斜率更大，虽然会导致更高损耗，但发热更严重的 MOSFET 会通过自我调节（升温导致电阻增加）使电流向低温器件转移。

实际应用分析

实际应用中的风险等级如何？由于并联 MOSFET 共享散热器（存在热耦合），这仍构成严重威胁。为验证此问题，我们通过仿真进行深入研究：假设两个 HU3PAK 封装的 SCT011xx75 MOSFET（TO247 封装表现会更好，此处选择更严苛案例），一个 RDS(on)=11.4 mΩ，另一个=15 mΩ。散热器温度设定为 90°C，采用导热界面材料（TIM）为填隙胶（导热系数 7 W/(m·K)，厚度 0.4 mm）。

在总 RMS 电流 140A 条件下，重点关注导通损耗。HU3PAK 的冷却面积为 120 mm^2，计算得 TIM 导致的壳到散热器热阻为 0.476 K/W。

模拟实验结果

- 140 A 电流中的 63 A 流经 15 mΩ MOSFET，壳温为 123.7°C，结温为 139.9°C
- 其余的 77 A 流经 11.4 mΩ MOSFET，壳温为 131.8°C，结温为 151.8°C。

当前电流失匹率为 22%，而初始值为 32%，并且两个 MOSFET 都有充足的温度裕度，即实际温度与最高绝对温度的差值很大。TIM 导热胶的热梯度是一个关键因素，在 15 mΩ MOSFET 中，从外壳到散热器，温度降幅达到 33.7°C，而另一个 MOSFET 则达到 41.8°C。在这种情况下，TIM 导热胶才是真正的限制因素，而 MOSFET 之间的电流失衡不是问题。热导率选定为 7 W/(m·K)，这个值不错，但并非最佳。幸运的是，近期市场需求推动了对此类材料的研究，现在已出现超过 20 W/(m·K) 的电隔离间隙填充材料。

结论

功率模块适合高功率应用场景，但分立 MOSFET 也具备诸多优势，使其同样适用于模块的功率范围。选择合适的 MOSFET，需要考虑哪些关键因素？答案是优异的开关性能和出色的热管理性能。

幸运的是，意法半导体的第三代 SiC MOSFET 应运而生，并联时仍能保持稳定开关性能，其导通电阻 RDSon 的热变特性在降低能量损耗和有效抑制热失控实现了双重优化。